

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0018296  
Application Number

출원년월일 : 2003년 03월 24일  
Date of Application MAR 24, 2003

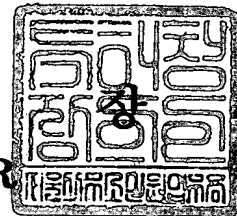
출원인 : 전국진 외 1명  
Applicant(s) CHUN KUK JIN, et al.



2003      년      07      월      31      일

특      허      청

COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.24
【발명의 명칭】	전자소자 검사용 마이크로 프로브 및 그 제조 방법
【발명의 영문명칭】	Microprobe and Method for Manufacturing the Same Using MEMS and Electroplating Technology
【출원인】	
【성명】	전국진
【출원인코드】	4-1995-090333-0
【출원인】	
【성명】	김봉환
【출원인코드】	4-2003-010930-0
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2000-026651-0
【포괄위임등록번호】	2003-018348-5
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2000-026650-2
【포괄위임등록번호】	2003-018349-2
【발명자】	
【성명】	전국진
【출원인코드】	4-1995-090333-0
【발명자】	
【성명】	김봉환
【출원인코드】	4-2003-010930-0
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김영철 (인) 대리인 김순영 (인)



1020030018296

출력 일자: 2003/8/1

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 18 면 18,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 17 항 653,000 원

【합계】 700,000 원

【감면사유】 개인 (70%감면)

【감면후 수수료】 210,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 실리콘 기판의 일측 가장자리부에 비아홀을 형성하고 상기 비아홀 내에 도전층을 채우고, 상기 비아홀 내의 도전층에 전기적으로 연결되도록 상기 실리콘 기판 상에 도전성 재질의 스프링부를 형성하고, 상기 스프링부의 선단부에 도전성 재질의 팁부를 형성하고, 상기 스프링부 아래의 실리콘 기판을 비등방성 식각공정에 의해 제거시킴으로써 상기 비아홀에 인접한 부분에만 상기 스프링부를 지지시킨다. 상기 스프링부와 상기 팁부는 감광막의 창 내에만 형성된다.

따라서, 본 발명은 미세 가공 기술을 이용하여 실리콘 기판에 마이크로 프로브를 형성하므로 프로브 팁간의 신호 분리가 용이하고, 프로브 팁의 기계적, 전기적 특성이 양호하다. 또한, 프로브 팁간의 피치를 줄일 수 있으므로 미세 피치의 접속부를 갖는 반도체 소자도 테스트 가능하다. 더욱이, 프로브 팁의 평탄도 균일성을 향상시킬 수가 있다.

**【대표도】**

도 9f

**【색인어】**

스프링부, 팁부, 비등방성 식각, 시드층, 비아홀



【명세서】

【발명의 명칭】

전자소자 검사용 마이크로 프로브 및 그 제조 방법{Microprobe and Method for Manufacturing the Same Using MEMS and Electroplating Technology}

【도면의 간단한 설명】

도 1은 종래 기술에 의한 외팔보(cantilever) 형태의 프로브 니들(probe needle)을 사용한 프로브 카드(probe card)를 나타낸 단면도.

도 2는 종래 기술에 의한 솔더 볼(solder ball)의 프로브 팁을 사용한 프로브 카드를 나타낸 단면도.

도 3은 종래 기술에 의한 금속 라인의 프로브 팁을 사용한 프로브 카드를 나타낸 단면도.

도 4a 및 도 4b는 종래 기술에 의한 프로브 카드의 제조 방법을 나타낸 단면 공정도, 도 4c는 종래 기술에 의한 프로브 카드의 구조를 나타낸 단면도.

도 5는 종래 기술에 의한 프로브 카드의 구조를 나타낸 단면도.

도 6은 종래 기술에 의한 프로브 카드의 구조를 나타낸 사시도.

도 7은 종래 기술에 의한 프로브 카드의 구조를 나타낸 단면도.

도 8은 본 발명에 의한 전자소자 검사용 마이크로 프로브를 이용한 프로브 카드의 구조를 나타낸 구성도.

도9a 내지 도 9f는 본 발명에 의한 전자소자 검사용 마이크로 프로브의 제조 방법을 나타낸 단면 공정도.

도 10은 본 발명에 의한 전자소자 검사용 마이크로 프로브의 구조를 나타낸 전자주사현미경 사진.

도 11a 내지 도 11f는 본 발명에 의한 전자소자 검사용 마이크로 프로브의 제조 방법에 적용된, 실리콘 기판의 비아홀(via hole) 내에 도전층을 채우는 과정을 설명하기 위한 단면 공정도.

도 12a 내지 도 12d는 본 발명에 의한 전자소자 검사용 마이크로 프로브의 제조 방법에 적용된, 실리콘 기판의 비아홀 내에 도전층을 채우는 또 다른 과정을 설명하기 위한 단면 공정도.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 소자의 전기적 특성을 검사하기 위한 마이크로 프로브 (Microprobe)에 관한 것으로, 더욱 상세하게는 미세 가공 기술을 이용하여 실리콘 기판에 외팔보(cantilever) 형태의 프로브를 형성함으로써 프로브 팁의 피치를 단축시키고 평탄도, 균일성을 향상시키도록 한 전자소자 검사용 마이크로 프로브 및 그 제조 방법에 관한 것이다.

<14> 메모리 소자, 비메모리 소자 또는 로직 소자와 같은 반도체 집적회로 소자 (Semiconductor Integrated Circuit Device)를 제조하는 공정에서는 칩들을 실

리콘 기판과 같은 웨이퍼에 제조한 후 상기 칩들의 양호 또는 불량을 결정하기 위해 웨이퍼 레벨의 테스트를 수행하고 그 다음에 상기 웨이퍼의 칩들을 각각의 칩으로 분리, 절단하는 것이 일반적이다. 상기 테스트는 프로브 카드가 프로브 장치에 연결되고 상기 프로브 카드의 프로브 니들(probe needle)이 상기 칩의 접속부(pad)에 접촉된 상태에서 이루어진다. 상기 프로브 니들을 상기 칩에 접촉시킨 후 임의의 압력을 상기 프로브 니들과 상기 접속부 사이에 인가시키는데, 이는 상기 프로브 니들을 상기 접속부의 표면을 미끄러지게 하여 상기 표면 상의 알루미늄 산화막을 제거시켜주기 위함이다. 따라서, 상기 알루미늄 산화막 아래의 알루미늄과 상기 프로브 니들이 전기적으로 연결된다.

<15> 이와 같은 프로브 니들을 사용한 종래의 프로브 카드의 한 예가 미국 특허 제 6,087,840호에 기술되어 있다. 상기 프로브 카드에서는 도 1에 도시된 바와 같이, 단층의 인쇄회로기판(1)의 중앙 개구부(opening)(3)를 중심으로 하여 텅스텐 재질의 프로브 니들(5)이 방사상으로 배치되도록 상기 프로브 니들(5)이 상기 인쇄회로기판(1)의 저면에 설치된다. 또한, 상기 인쇄회로기판(1)의 단부에 구비된 커넥터(도시 안됨)를 커넥팅하기 위한 콘택부가 도전성 배선을 거쳐 상기 프로브 니들(5)의 기저부에 연결된다. 도 1의 프로브 카드는 상기 프로브 니들(5)을 사용하여 32개 패드를 동시에 측정할 수 있으나, 상기 프로브 니들(5)을 숙련공의 수작업에 의해 상기 인쇄회로기판(1)에 설치하므로 상기 칩의 패드의 피치를 65  $\mu\text{m}$  이하로 축소시킬 수가 없다. 더욱이, 상기 웨이퍼의 전체 칩들을 한번에 모두 테스트할 수 없고 여러번에 걸쳐 나누어 테스트하지 않으면 안되므로 웨이퍼당 테스트 시간과 비용이 많이 소요된다.

<16> 종래의 프로브 카드의 다른 예가 미국 특허 제 6,114,864호에 기술되어 있다. 상기 프로브 카드에서는 도 2에 도시된 바와 같이, 기판(21)의 저면 중앙부에 홈부(22)가 형성되고, 절연성 수지 필름(23)이 상기 기판(21)의 저면에 형성되며 상기 절연성 수지 필름(23)의 대향하

는 내측 단부가 상기 홈부(22)에 위치하도록 연장되고, 도전성 프로브 패턴(25)이 상기 절연성 수지 필름(23)의 내측 단부까지 연장하도록 상기 절연성 수지 필름(23)의 저면에 형성된다. 솔더 볼(solder ball)(27)이 상기 홈부(22)에 위치하도록 상기 프로브 패턴(25)의 단부에 형성된다. 배선 패턴(19)이 상기 프로브 패턴(25)에 전기적으로 연결되며 상기 기판(21)의 상부면에 형성된다. 그러나, 도 2의 프로브 카드는 상기 프로브 패턴(25)의 최종 팁이 솔더 볼(27)로 형성되어 있기 때문에 외부의 기계적 충격이나 온도에 민감한 반응을 나타내는 단점이 있다.

<17> 종래의 프로브 카드의 또 다른 예가 미국 특허 제 6,059,982호에 기술되어 있다. 상기 프로브 카드의 프로브 팁에서는 도 3에 도시된 바와 같이, 절연막(31) 상에 적층된 텅스텐, 구리, 알루미늄, 금과 같은 금속층이 패터닝됨으로써 도전성 라인(41)이 형성되고, 도전성 라인(41)의 팁부(42)가 프로브 팁 포인트(43)를 포함하고, 상기 도전성 라인(41)의 단부(44) 상의 스터드(stud)(45)가 실리콘 기판(47)의 비아홀(48) 내의 천이 금속층(49)을 거쳐 솔더 볼(51)에 전기적으로 콘택한다. 그러나, 도 3의 프로브 카드는 금속 니들 타입의 팁 대신에 상기 도전성 라인의 팁 구조를 텅스텐이나 금, 알루미늄 재질로 형성하므로 기계적 특성이 좋지 않은 단점이 있다.

<18> 종래의 프로브 카드의 또 다른 예가 미국 특허 제 6,520,778호에 기술되어 있다. 상기 프로브 카드는 도 4a 및 도 4b에 도시된 바와 같이, 실리콘기판과 같은 희생 기판(60)에 금속 배선 형태로 형성된 팁(61)과 인쇄회로기판(70)의 접속부(71)를 도전성 접착제(73)로 접합시킨 후 상기 희생 기판(60)을 식각함으로써 형성된다. 또한, 도 4c에 도시된 바와 같이, 기판(80)의 접속부(81), (82)에 스프링 콘택부(90), (92)가 각각 접합된다. 상기 접속부(81)에 스프링 콘택부(90)의 포스트부(91)가 접합되고, 포스트부(91)에 스페이서부(93)를 사이에 두고 빔부(95)의 일측 저면 선단부가 접합되고, 빔부(95)의 타측 상면 선단부에 팁부(97)가 접합된다. 상기



접속부(82)에 스프링 콘택부(92)의 포스트부(94)가 접합되고, 포스트부(94)가 빔부(95)의 일측 저면 선단부가 접합되고, 팁부(99)가 빔부(95)의 타측 상면 선단부에 스페이서부(98)를 사이에 두고 접합된다. 그러나, 도 4a 내지 도 4c의 프로브 카드는 솔더링(soldering)과 같은 접합 기술을 이용하여 프로브 팁을 형성하므로 그 제조 방법이 용이하지 않고 제조 원가가 비싼 단점이 있다.

<19> 종래의 프로브 카드의 또 다른 예가 미국 특허 제 6,491,968호에 기술되어 있다. 상기 프로브 카드는 도 5에 도시된 바와 같이, 기관(100)의 접속부(101)에 상호연결부(110)의 포스트부(111)가 접합되고, 본체부(112)가 포스트부(111)에 결합되며 복수개의 엽(leaf)부(113)를 가지고, 엽부(113)의 상부면 선단부에 팁부(115)가 부착된다. 도 5의 프로브 카드는 도 4의 프로브 팁에 가해지는 압력을 분산시키기 위해 엽부(113)를 이용하여 탄성을 강화시키는 구조이나 제조 방법이 어려운 단점이 있다.

<20> 종래의 프로브 카드의 또 다른 예가 한국 특허(공개번호: 제 27658호)에 기술되어 있다. 상기 프로브 카드는 도 6에 도시된 바와 같이, 절연 기관(121) 홈부(123)에 프로브(125)의 팁부가 위치하도록 절연 기관(121)에 프로브(125)가 배열되고, 상기 팁부의 선단부에 금속제(129)가 배치되고, 배선(127)이 절연 기관(121)과 프로브(125)에 형성된다. 도 6의 프로브 카드는 실리콘 기관을 습식 식각하여 프로브(125)를 형성하고 프로브(125)의 선단부 상에 금속제(129)를 배치하므로 저항이 크고 쉽게 파손되는 단점이 있다.

<21> 종래의 프로브 카드의 또 다른 예가 도 7에 도시되어 있는데, 도 7의 프로브 카드(130)는 도 4c의 구조와 유사하며 동일한 단점을 갖고 있다.

<22> 따라서, 종래의 프로브 카드들은 프로브 팁간의 신호 분리가 어렵고, 기계적 특성이 양호하지 못하고, 반도체 소자의 패드의 피치를 65  $\mu\text{m}$  이하로 축소시키기가 어렵고, 프로브 팁

간의 평탄도를 수  $\mu\text{m}$  이내로 유지하기가 어렵다. 그 결과, 종래의 프로브 카드는 32 병렬 이상의 테스트가 불가능하고 웨이퍼 레벨의 테스트도 어려울 뿐만 아니라 테스트 시간과 비용이 많이 소요된다.

#### 【발명이 이루고자 하는 기술적 과제】

- <23> 따라서, 본 발명의 목적은 패드 피치가 미세화된 반도체 소자를 프로빙하도록 하는데 있다.
- <24> 본 발명의 다른 목적은 웨이퍼 레벨의 프로빙을 하도록 하는데 있다.
- <25> 발명의 또 다른 목적은 프로브 팁의 평탄도를 향상시키도록 하는데 있다.
- <26> 본 발명의 또 다른 목적은 프로브 팁의 기계적, 전기적 특성을 향상시키도록 하는데 있다.
- <27> 본 발명의 또 다른 목적은 프로빙에 소요되는 비용과 시간을 절감시키는데 있다.

#### 【발명의 구성 및 작용】

- <28> 이와 같은 목적을 달성하기 위한 본 발명에 의한 전자소자 검사용 마이크로 프로브는
- <29> 비아홀을 가지며, 상기 비아홀 외측의 일 표면이 소정의 깊이만큼 식각된 실리콘 기판; 상기 비아홀 내에 채워진 제 1 도전층; 상기 제 1 도전층에 전기적으로 연결되고 상기 비아홀에 인접한 부분의 표면에만 일측 가장자리부가 지지되며 나머지 부분이 상기 실리콘 기판의 식각된 표면으로부터 이격된 외팔보 형태의 도전성 스프링부; 및 상기 스프링부의 타측 가장자리부에 형성된 도전성 팁부를 포함하는 것을 특징으로 한다.

- <30> 바람직하게는, 상기 스프링부가 구리, 니켈, 니켈-텅스텐, 니켈-크롬, 텅스텐 중 하나로 형성될 수 있고, 상기 팁부가 구리, 니켈, 니켈-텅스텐, 니켈-크롬, 텅스텐 중 하나로 형성될 수 있다.
- <31> 바람직하게는, 상기 스프링부와 동일 패턴으로 형성되며 상기 스프링부와 상기 도전층 사이에 시드층이 배치될 수 있다. 상기 시드층이 티타늄/금, 티타늄/구리, 크롬/금, 크롬/구리 중 하나로 형성될 수 있다.
- <32> 또한, 이와 같은 목적을 달성하기 위한 본 발명에 의한 전자소자 검사용 마이크로 프로브의 제조 방법은
- <33> 실리콘 기판의 일부분에 비아홀을 형성하는 단계; 상기 비아홀 내에 제 1 도전층을 형성하는 단계; 상기 실리콘 기판의 일면의 일부분에 개구부를 형성한 후 상기 개구부 내의 노출된 실리콘 기판과 상기 비아홀의 제 1 도전층 상에 시드층을 형성시키는 단계; 상기 비아홀과 상기 개구부를 모두 오버랩하도록 상기 시드층 상에 도전성 스프링부의 패턴을 형성하는 단계; 상기 스프링부의 선단부에 도전성 팁부를 형성하는 단계; 상기 스프링부의 패턴 이외의 상기 시드층을 식각하는 단계; 및 상기 스프링부 아래의 상기 실리콘 기판을 식각하는 단계를 포함하는 것을 특징으로 한다.
- <34> 바람직하게는, 상기 스프링부의 패턴을 형성하는 단계는
- <35> 상기 시드층 상에 상기 비아홀과 상기 개구부를 모두 오버랩하는 창을 갖는 감광막의 패턴을 형성하는 단계; 및 상기 감광막의 창 내에만 상기 스프링부를 위한 제 2 도전층의 패턴을 형성시키는 단계를 포함할 수 있다.

- <36> 바람직하게는, 상기 스프링부를 도금법으로 형성할 수 있다. 상기 스프링부를 구리층, 구리-합금층, 니켈층, 니켈-텅스텐층, 니켈-크롬층, 니켈-합금층, 텅스텐층 중 하나로 형성하는 것이 바람직하다.
- <37> 바람직하게는, 상기 팁부를 형성하는 단계는
- <38> 상기 스프링부와 상기 시드층 상에 상기 스프링부의 선단부를 노출시키는 창을 갖는 감광막의 패턴을 형성하는 단계; 및 상기 창 내에만 상기 팁부를 위한 제 3 도전층의 패턴을 형성시키는 단계를 포함할 수 있다.
- <39> 바람직하게는, 상기 팁부를 도금법으로 형성할 수 있다. 상기 팁부를 구리층, 구리-합금층, 니켈층, 니켈-텅스텐층, 니켈-크롬층, 니켈-합금층, 텅스텐층 중 하나로 형성하는 것이 바람직하다.
- <40> 바람직하게는, 상기 스프링부 아래의 상기 실리콘 기판을 비등방성 식각할 수 있다. 상기 실리콘 기판을 TMAH(Tetramethylammonium hydroxide), KOH, EDP(Ethyl Diamine Pyrocatechol) 중 하나의 식각 용액을 이용한 습식 식각에 의해 비등방성 식각하는 것이 바람직하다. 또한, 상기 실리콘 기판을 반응성 이온 식각과 공정 유도 결합형 플라즈마 식각공정에 의해 건식 식각하는 것이 바람직하다.
- <41> 바람직하게는, 상기 비아홀 내에 상기 제 1 도전층을 형성하는 단계는
- <42> 상기 비아홀이 형성된 실리콘 기판을 챔버 내의 상기 제 1 도전층을 위한 전해액에 넣는 단계; 상기 전해액의 표면에 소정의 압력을 가압하여 상기 비아홀 내에 상기 전해액을 채워넣는 단계; 및 상기 실리콘 기판을 상기 전해액으로부터 끄집어낸 후 상기 실리콘 기판의 양면을 연마하여 상기 비아홀 내에만 상기 제 1 도전층을 남기는 단계를 포함할 수 있다.

- <43> 또한, 상기 전해액을 납/주석, 솔더 중 하나의 전해액으로 형성하는 것이 바람직하다.
- <44> 이하, 본 발명에 의한 전자소자 검사용 마이크로 프로브 및 그 제조 방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다.
- <45> 도 8을 참조하면, 본 발명의 마이크로 프로브를 이용한 프로브 카드는 본 발명의 마이크로 프로브와 인쇄회로기판(300)을 포함하여 구성된다. 여기서, 상기 마이크로 프로브는 단결정 실리콘 기판(200)의 우측 가장자리부에 형성된 비아홀(203) 내에 도전층(207)이 채워지고, 상기 실리콘 기판(200)의 하면 우측 가장자리부에 도전성 금속 구조물의 스프링부(215)가 외팔보 형태로 지지되며 상기 도전층(207)에 전기적으로 연결되고, 상기 스프링부(215)의 선단부에 웨이퍼(400)의 접속부(401)에 접촉할 도전성 팁부(219)가 일체로 하향 돌출한다. 또한, 상기 실리콘 기판(200)의 상면이 인쇄회로기판(300)의 하면에 뿔납에 의해 접합되어, 상기 실리콘 기판(200)의 도전층(207)이 상기 인쇄회로기판(300)의 접속부에 대응하여 전기적으로 연결된다. 한편, 설명의 편의상, 상기 스프링부(215)가 상기 실리콘 기판(200)에 1개만 형성되어 있는 것으로 도시되어 있으나, 실제로는 테스트할 웨이퍼의 접속부(pad)에 해당하는 수량만큼 다수 개 배열됨은 자명한 사실이다.
- <46> 여기서, 상기 실리콘 기판(200) 대신에 SOI(Silicon-On-Insulator) 기판, SOG(Spin-On-Glass) 기판 및 기타 직,간접적인 접합공정을 이용하여 제작된 기판을 사용하여도 좋다.
- <47> 또한, 상기 도전층(207)은 구리(Cu)층이나 니켈(Ni)층으로 형성되며, 상기 비아홀의 내벽에 형성된 절연막(미도시)에 의해 상기 실리콘 기판(200)과 전기적으로 절연된다. 상기 절연막은 열 산화막, TEOS(tetraethylorthosilane) 화학 기상 증착 산화막, 또는 질화막 중 하나로 형성될 수 있다.

- <48> 또한, 상기 스프링부(215)와 팁부(219)는 구리층, 니켈층, 니켈-텅스텐(Ni-W)층, 니켈-크롬(Ni-Cr)층, 텅스텐(W)층 각종 구리, 니켈 합금층 중 하나로 형성될 수 있다.
- <49> 이와 같이 구성되는 본 발명의 프로브 카드의 경우, 단결정 실리콘 기판을 미세 가공 기술로 처리하여 프로브를 형성하므로 프로브 팁간의 신호 분리가 용이하고, 프로브 팁의 기계적, 전기적 특성이 양호하다. 또한, 팁간의 피치를 줄일 수 있으므로 미세 피치의 패드를 갖는 반도체 소자도 테스트 가능하다. 더욱이, 프로브 팁의 평탄도를 수  $\mu\text{m}$  이내로 유지할 수 있을 정도로 향상시킬 수가 있다.
- <50> 한편, 상기 프로브 카드를 이용하여 테스트 장치(도시 안됨)로부터 인가되는 신호를 테스트할 웨이퍼의 해당 반도체 소자에 입력시키고 상기 반도체 소자로부터 출력되는 그 결과 신호를 상기 테스트 장치로 전달할 때, 상기 테스트 장치와 상기 웨이퍼에는 100mN 정도의 힘이 작용하므로 본 발명의 프로브는 상기 100mN 정도의 힘을 견딜 수 있는 것이 바람직하다. 또한, 상기 웨이퍼와 접촉하여 100만번 이상의 프로빙이 가능한 신뢰성을 갖는 것이 바람직하다. 또한, 상기 프로브 팁의 접촉 저항은 1 $\Omega$ 이하인 것이 바람직하다.
- <51> 이와 같이 구성되는 본 발명에 의한 전자소자 검사용 마이크로 프로브의 제조 방법을 도 9a 내지 도 9f 및 도 10을 참조하여 설명하기로 한다.
- <52> 도 9a를 참조하면, 먼저, 단결정 실리콘 기판(200)과 같은 반도체 기판을 준비한다. 여기서, 상기 실리콘 기판(200) 대신에 SOI(Silicon-On-Insulator) 기판, SOG(Spin-On-Glass) 기판 및 기타 직,간접적인 접합공정을 이용하여 제작된 기판을 사용하여도 좋다.
- <53> 그런 다음, 상기 실리콘 기판(200)을 수직 관통하는 비아홀(203)을 상기 실리콘 기판(200)의 원하는 부분에 형성하고 상기 비아홀(203) 내에만 제 1 도전층(207)을 형성한다. 이를

도 11a 내지 도 11f를 참조하여 좀 더 상세히 언급하면, 도 11a에 도시된 바와 같이, 통상적인 공정을 이용하여 상기 실리콘 기판(200)의 원하는 부분에 비아홀(203)을 형성한다. 여기서, 상기 비아홀(203)의 형성을 위한 식각공정으로는 이방성 식각 특성을 갖는 건식 식각 공정을 사용하는 것이 바람직하다. 상기 비아홀(203)의 직경이  $100\mu\text{m}$  이하이고, 상기 비아홀(203)의 깊이가  $200\mu\text{m}\sim 1000\mu\text{m}$ 인 것이 바람직하다. 이후, 상기 실리콘 기판(200)의 상, 하 양면에 절연막(205)을 형성시킴과 아울러 상기 비아홀(203)의 내벽에도 절연막(205)을 형성시킨다.

여기서, 상기 제 2 절연막(205)을 상기 비아홀(203) 내에 채워질 제 1 도전층(207)과 상기 실리콘 기판(200)의 전기적 절연에 필요한 두께로 형성시키는 것이 바람직하다. 상기 제 2 절연막(205)으로서 열 산화막이나 TEOS 산화막 또는 질화막을 사용하는 것이 가능하다.

<54>        그런 다음, 도 11b에 도시된 바와 같이, 상기 실리콘 기판(200)의 일면, 예를 들어 상면의 절연막(205) 상에만 시드층(204)을 형성한다. 이때, 상기 상면에 이웃한 비아홀(203) 내의 절연막(205) 상에도 상기 시드(seed)층(204)이 형성된다. 상기 시드층(204)은 티타늄(Ti)/금(Au), 티타늄(Ti)/구리(Cu), 크롬(Cr)/금(Au), 크롬(Cr)/금(Cu) 중 하나로 형성될 수 있다. 물론, 상기 시드층(204)은 화학 기상 증착 공정에 의한 텅스텐(W)이나 구리(Cu)로 형성될 수 있다.

<55>        이어서, 도 11c에 도시된 바와 같이, 통상의 사진공정을 이용하여 상기 시드층(204)의 일부분, 즉 전기도금되지 않아야 할 부분에 전기도금 마스크층으로서 감광막(PR)의 패턴을 형성시킨다. 이후, 도 11d에 도시된 바와 같이, 전기 도금법을 이용하여 전기도금장치(도시 안됨)의 전해액, 즉 도전층(207a)의 도금을 위한 전해액에 상기 실리콘 기판(200)의 상면을 접촉시킨 상태에서 상기 시드층(204)의 노출된 부분 상에 도전층(207a), 예를 들어 구리(Cu)층 또는 니켈(Ni)층을 형성시킨다. 이때, 상기 비아홀(203) 내의 일부분에 상기 시드층(204)이 형

성되어 있으므로 상기 비아홀(203) 내의 시드층(204) 상에도 상기 도전층(207a)이 함께 형성된다.

<56> 그리고 나서, 도 11e에 도시된 바와 같이, 상기 전기도금장치(도시 안됨)의 전해액, 즉 도전층(207b)의 도금을 위한 전해액에 상기 실리콘 기판(200)의 하면을 접촉시킨 상태에서 상기 비아홀(203) 내의 도전층(207a) 상에 상기 도전층(207b)을 형성시킨다. 이때, 상기 비아홀(203) 외측의 실리콘 기판(200)의 하면에는 상기 시드층이 형성되어 있지 않으므로 상기 도전층(207b)이 형성되지 않는다.

<57> 마지막으로, 도 11f에 도시된 바와 같이, 상기 감광막을 제거시키고 나서 예를 들어 화학적 기계적 연마(chemical mechanical polishing: CMP) 공정을 이용하여 상기 실리콘 기판(200)의 상, 하 양면을 연마시킴으로써 상기 도전층(207)을 상기 실리콘 기판(200)의 상, 하 양면의 절연막(205)에 평탄화시킨다. 이때, 상기 도전층(207a)과 상기 도전층(207b)은 상기 비아홀(203) 외측의 부분에 잔존하지 않고 상기 비아홀(203) 내에만 존재한다. 따라서, 상기 비아홀(203) 내에만 도전층(207)이 완전히 채워질 수가 있다.

<58> 또한, 도 12a 내지 도 12d에 도시된 바와 같이, 도 11a의 과정을 동일하게 실시함으로써 실리콘 기판(200)의 일부분에 비아홀(203)을 형성시키고 상기 실리콘 기판(200)의 상, 하 양면과 상기 비아홀(203)의 내벽에 절연막(205)을 형성시킨다. 그런 다음, 챔버(300) 내의 납(Pb)/주석(Sn), 솔더(solder)와 같은 전해액, 즉 도전층(207)을 위한 전해액(307)에 상기 실리콘 기판(200)을 완전히 넣은 후 상기 전해액(307)의 표면에 임의의 압력(Pressure)으로 가압하여 준다. 이때, 상기 전해액(307)이 모세관 현상에 의해 상기 비아홀(203) 내에 채워져서 도전층(207)을 형성하고 아울러 상기 실리콘 기판(200)의 상, 하 양면의 절연막(205) 상에도 도전층(207)이 형성된다. 마지막으로, 예를 들어 화학적 기계적 연마 공정을 이용하여 상기 실리콘



기판(200)의 상, 하 양면의 도전층(207)을 연마시킨다. 이때, 상기 도전층(207)이 상기 비아홀(203) 내에만 남고 상기 비아홀(203) 외측 부분의 도전층(207)이 모두 제거된다. 따라서, 상기 비아홀(203) 내에만 도전층(207)이 완전히 채워질 수가 있다.

<59> 한편, 상기 전기 도금법 대신에 무전해 도금법을 이용하는 경우, 상기 시드층을 형성하지 않고 도전층(207), 예를 들어 구리층 또는 니켈층 중 하나를 절연막(205) 상에 직접 형성함으로써 상기 비아홀(203)에 상기 구리층 또는 니켈층 중 하나를 채우는 것도 가능하다. 또한, 상기 시드층을 형성하지 않고 상기 절연막(205) 상에 다결정 실리콘층을 적층시킨 후 화학 기상 증착 공정에 의한 텅스텐층을 적층시킴으로써 상기 비아홀(203)에 상기 텅스텐층을 채우는 것도 가능하고 추가로 금(Au)층을 적층하는 것도 가능하다.

<60> 이러한 다양한 방법을 이용하여 상기 비아홀(203)에만 도전층(207)을 형성하고 나면, 상기 실리콘 기판(200)의 상, 하 양면에 동질의 제 1 절연막(201), (202)을 형성시킨다. 상기 절연막(201), (202)으로서 산화막이나 질화막이 사용될 수 있다. 여기서, 상기 실리콘 기판(200)을 반응 챔버(도시 안됨)의 산화 분위기에 노출시키는 것과 같은 산화공정에 의해 상기 실리콘 기판(200)의 양면에 상기 제 1 절연막(201), (202)을 위한 산화막을 형성하거나, 플라즈마 화학 기상증착 공정을 이용하여 상기 실리콘 기판(200)의 양면에 상기 제 1 절연막(201), (202)을 위한 산화막을 적층시킬 수가 있다. 이때, 약 400℃의 온도에서 상기 산화막을 성장시키기 위해 TEOS(tetraethylorthosilane)가 반응 챔버(도시 안됨)에 주입될 수 있다.

<61> 도 9b를 참조하면, 상기 제 1 절연막(201), (202)의 형성이 완료된 후 통상적인 사진식각 공정을 이용하여 상기 실리콘 기판(200)의 상면 측의 절연막(201)의 일부분에 상기 비아홀(203)과 도 9f의 스프링부(215)를 위한 영역을 각각 노출시키기 위한 개구부(209)를 형성시킨다.

- <62> 도 9c를 참조하면, 상기 개구부(209)가 형성된 후, 상기 실리콘 기판(200)의 노출된 부분과 상기 도전층(207) 및 상기 절연막(201) 상에 시드층(211), 예를 들어 티타늄(Ti)/금(Au), 티타늄/구리, 크롬/금 또는 크롬/구리 층을 적층시킨다. 따라서, 상기 시드층(211)이 상기 비아홀(203) 내의 제 1 도전층(207)과 상기 실리콘 기판(200)의 노출된 부분에 전기적으로 연결된다.
- <63> 그런 다음, 상기 시드층(211) 상에 감광막(213)을 두꺼운 두께로 코팅한 후 상기 감광막(213)을 상기 스프링부(215)의 패턴에 해당하는 창을 갖는 감광막(213)의 패턴으로 패턴닝한다. 이때, 상기 창은 상기 비아홀(203)과 상기 개구부(209)를 모두 포함하는 하나의 창이고, 상기 감광막(213)의 두께는 상기 스프링부(215)의 두께를 결정한다.
- <64> 이어서, 도금법을 이용하여 상기 창 내의 노출된 시드층(211) 상에 상기 스프링부(215)를 위한 제 2 도전층, 예를 들어 구리(Cu)층, 니켈(Ni)층, 니켈-텅스텐(Ni-W)층, 니켈-크롬(Ni-Cr)층, 텅스텐(W)층 또는 도금이 가능한 각종 합금 등을 형성시킨다. 따라서, 상기 시드층(211)이 상기 스프링부(215)에 전기적으로 연결될 수 있다.
- <65> 여기서, 상기 스프링부(215)의 두께는 상기 감광막(213)의 두께에 의해 결정될 수 있다. 물론, 상기 제 2 도전층은 화학 기상 증착공정이나 스퍼터링공정에 의해 형성될 수도 있다.
- <66> 도 9d를 참조하면, 상기 스프링부(215)가 형성된 후, 도 9c의 감광막(213)의 패턴을 완전히 제거시킨다. 이어서, 상기 스프링부(215)와 상기 시드층(211) 상에 감광막(217)을 코팅시킨 다음 팁부(219)를 형성하기 위한 창(218)이 상기 스프링부(215)의 선단부 근처 일부 영역을 노출시키도록 상기 감광막(217)의 패턴을 형성한다. 이때, 상기 감광막(217)의 두께는 상기 스프링부(215)의 두께를 고려하여 결정한다.

- <67>        그 다음에, 도금법을 이용하여 상기 창(218) 내의 노출된 스프링부(215) 상에 팁부(219)를 위한 제 3 도전층, 예를 들어 상기 스프링부(215)와 동질의 도전층을 형성시킨다. 따라서, 상기 팁부(219)가 상기 스프링부(215)에 전기적으로 연결된다. 한편, 상기 스프링부(215)의 높이는 상기 감광막(217)의 두께에 의해 결정될 수 있다.
- <68>        도 9e를 참조하면, 상기 팁부(219)가 형성된 후, 도 9d의 감광막(217)을 제거시키고 상기 스프링부(215)를 식각 마스크층으로 이용하여 상기 스프링부(215) 외측의 시드층(211)을 식각시킨다. 따라서, 상기 스프링부(215) 아래에만 상기 시드층(211)이 상기 스프링부(215)와 동일한 패턴으로 남게 된다.
- <69>        도 9f를 참조하면, 상기 시드층(211)을 상기 스프링부(215)의 아래에만 남긴 후, 상기 스프링부(215) 외측의 실리콘 기판(200)을 비등방성 식각공정에 의해 식각한다. 이때, 상기 스프링부(215) 아래의 실리콘 기판(200)도 함께 비등방성 식각되므로 상기 스프링부(215) 아래에 빈 공간(221)이 형성되고, 상기 비아홀(203)에 인접한 스프링부(215)의 가장자리부만이 상기 실리콘 기판(200)에 지지된다. 따라서, 상기 스프링부(215)가 외팔보 형태를 이룬다. 이는 상기 스프링부(215)와 팁부(219)에 임의의 탄성을 제공하여 반도체 소자의 테스트 때에 인가되는 100mN 정도의 힘을 견딜 수 있고 그 이상의 힘에도 견딜 수 있게 해준다.
- <70>        한편, 상기 비등방성 식각을 위해 TMAH(Tetramethylammonium hydroxide), KOH, EDP(Ethyl Diamine Pyrocatechol) 등과 같은 식각용액을 사용한 습식 식각공정이나, 반응성 이온 식각(Reactive Ion Etching: RIE)공정 또는 유도 결합형 플라즈마(Inductively Coupled Plasma: ICP) 식각 공정과 같은 건식 식각공정을 이용하는 것이 바람직하다.
- <71>        한편, 설명의 편의상, 상기 스프링부(215)가 상기 실리콘 기판(200)에 1개만 형성되어 있는 것으로 도시되어 있으나, 실제로는 테스트할 웨이퍼의 패드 수에 해당하는 수량만큼 다수

개 배열되도록 형성됨은 자명한 사실이다. 이와 같은 제조 방법에 의해 완성된 마이크로 프로브는 도 10a 내지 도 10d 의 전자 주사 현미경(SEM)에 의해 촬영한 사진에 도시된 바와 같은 입체적 구조를 갖는다.

<72> 마지막으로, 이와 같이 형성된 마이크로 프로브를 도 8에 도시된 바와 같이, 인쇄회로기판(300)에 뿔납에 의해 접합시키고 상기 마이크로 프로브를 에폭시 수지와 같은 수지(도시 안됨)에 의해 외부 환경이나 기계적 충격으로부터 보호한다.

<73> 따라서, 도 8에 도시된 바와 같이, 테스트할 웨이퍼(400)의 접속부(401)에 스프링부(215)의 팁부(219)를 접촉시키면, 상기 접속부(401)가 상기 팁부(219), 스프링부(215), 도전층(207)을 거쳐 상기 인쇄회로기판(300)의 접속부에 전기적으로 연결되므로 상기 인쇄회로기판(300)에 전기적으로 연결된 테스트 장치(미도시)를 이용하여 상기 웨이퍼(400)의 각 칩들을 테스트할 수 있다.

<74> 따라서, 본 발명은 기판으로서 실리콘 기판을 이용하고 절연막으로서 산화막이나 질화막을 이용하며 상기 기판을 미세 가공기술로 처리하여 마이크로 프로브를 제조한다. 그러므로, 본 발명은 프로브 팁간의 신호 분리가 용이하고 팁의 기계적, 전기적 특성이 양호하다. 상기 마이크로 프로브는 100mN 정도의 힘을 견딜 수 있고 그 이상의 힘에도 견딜 수 있도록 설계가 가능하다. 또한, 팁간의 간격을 축소시킬 수 있으므로 반도체 소자의 패드 간격도 축소시킬 수 있고 나아가 미세 피치의 패드를 갖는 반도체 소자의 테스트가 가능하다. 더욱이, 프로브 팁의 평탄도를 수  $\mu\text{m}$  이내로 유지시킬 수가 있다.

<75> 따라서, 본 발명은 종래의 프로브 카드의 한계점인 32 병렬 이상의 테스트도 가능하고, 웨이퍼 레벨의 테스트도 가능하다. 이는 테스트에 소요되는 시간과 비용을 절감시킨다.

<76> 한편, 본 발명은 회로를 포함하는 액티브 칩과의 전극 배선을 용이하게 하기 위해 프로브 웨이퍼의 후면에 마스크 작업을 통하여 배선을 할 수 있고, 프로브 칩과 액티브 칩을 플립 칩 본딩(flip-chip bonding)에 의해 접합할 수 있다.

### 【발명의 효과】

<77> 이상에서 설명한 바와 같이, 본 발명은 실리콘 기판의 일측 가장자리부에 비아홀을 형성하고 상기 비아홀 내에 도전층을 채우고, 상기 비아홀 내의 도전층에 전기적으로 연결되도록 상기 실리콘 기판 상에 도전성 재질의 스프링부를 형성하고, 상기 스프링부의 선단부에 도전성 재질의 팁부를 형성하고, 상기 스프링부 아래의 실리콘 기판을 비등방성 식각공정에 의해 제거시킴으로써 상기 비아홀에 인접한 부분에만 상기 스프링부를 지지시킨다. 상기 스프링부와 상기 팁부는 감광막의 창 내에만 형성된다.

<78> 따라서, 본 발명은 미세 가공 기술을 이용하여 실리콘 기판에 마이크로 프로브를 형성하므로 프로브 팁간의 신호 분리가 용이하고, 프로브 팁의 기계적, 전기적 특성이 양호하다. 또한, 프로브 팁간의 피치를 줄일 수 있으므로 미세 피치의 접속부를 갖는 반도체 소자도 테스트 가능하다. 더욱이, 프로브 팁의 평탄도 균일성을 향상시킬 수가 있다.

<79> 한편, 본 발명은 도시된 도면과 상한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변경, 변형, 수정, 치환도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다.

**【특허청구범위】****【청구항 1】**

비아홀을 가지며, 상기 비아홀 외측의 일 표면이 소정의 깊이만큼 식각된 실리콘 기판;

상기 비아홀 내에 채워진 도전층;

상기 제 1 도전층에 전기적으로 연결되고 상기 비아홀에 인접한 부분의 표면에만 일측 가장자리부가 지지되며 나머지 부분이 상기 실리콘 기판의 식각된 표면으로부터 이격된 외팔보 형태의 도전성 스프링부; 및

상기 스프링부의 타측 가장자리부에 형성된 도전성 팁부를 포함하는 전자소자 검사용 마이크로 프로브.

**【청구항 2】**

제 1 항에 있어서, 상기 스프링부가 구리, 니켈, 니켈-텅스텐, 니켈-크롬, 텅스텐, 도금이 가능한 각종 합금 중 하나로 형성된 것을 특징으로 하는 전자소자 검사용 마이크로 프로브.

**【청구항 3】**

제 1 항에 있어서, 상기 팁부가 구리, 니켈, 니켈-텅스텐, 니켈-크롬, 텅스텐, 도금이 가능한 각종 합금 중 하나로 형성된 것을 특징으로 하는 전자소자 검사용 마이크로 프로브.

**【청구항 4】**

제 1 항에 있어서, 상기 스프링부와 동일 패턴으로 형성되며 상기 스프링부와 상기 도전층 사이에 시드층이 배치되는 것을 특징으로 하는 전자소자 검사용 마이크로 프로브.

**【청구항 5】**

제 4 항에 있어서, 상기 시드층이 티타늄/금, 티타늄/구리, 크롬/금, 크롬/구리 중 하나로 형성된 것을 특징으로 하는 전자소자 검사용 마이크로 프로브.

**【청구항 6】**

실리콘 기판의 일부분에 비아홀을 형성하는 단계;

상기 비아홀 내에 제 1 도전층을 형성하는 단계;

상기 실리콘 기판의 일면의 일부분에 개구부를 형성한 후 상기 개구부 내의 노출된 실리콘 기판과 상기 비아홀의 제 1 도전층 상에 시드층을 형성시키는 단계;

상기 비아홀과 상기 개구부를 모두 오버랩하도록 상기 시드층 상에 도전성 스프링부의 패턴을 형성하는 단계;

상기 스프링부의 선단부에 도전성 팁부를 형성하는 단계;

상기 스프링부의 패턴 이외의 상기 시드층을 식각하는 단계; 및

상기 스프링부 아래의 상기 실리콘 기판을 식각하는 단계를 포함하는 전자소자 검사용 마이크로 프로브의 제조 방법.

**【청구항 7】**

제 6 항에 있어서, 상기 스프링부의 패턴을 형성하는 단계는

상기 시드층 상에 상기 비아홀과 상기 개구부를 모두 오버랩하는 창을 갖는 감광막의 패턴을 형성하는 단계; 및

상기 감광막의 창 내에만 상기 스프링부를 위한 제 2 도전층의 패턴을 형성시키는 단계를 포함하는 것을 특징으로 하는 전자소자 검사용 마이크로 프로브의 제조 방법.

**【청구항 8】**

제 7 항에 있어서, 상기 스프링부를 도금법으로 형성하는 것을 특징으로 하는 전자소자 검사용 마이크로 프로브의 제조 방법.

**【청구항 9】**

제 8 항에 있어서, 상기 스프링부를 구리층, 니켈층, 니켈-텅스텐층, 니켈-크롬층, 텅스텐층, 도금이 가능한 각종 합금 중 하나로 형성시키는 것을 특징으로 하는 전자소자 검사용 마이크로 프로브의 제조 방법.

**【청구항 10】**

제 6 항에 있어서, 상기 팁부를 형성하는 단계는

상기 스프링부와 상기 시드층 상에 상기 스프링부의 선단부를 노출시키는 창을 갖는 감광막의 패턴을 형성하는 단계; 및

상기 창 내에만 상기 팁부를 위한 제 3 도전층의 패턴을 형성시키는 단계를 포함하는 것을 특징으로 하는 전자소자 검사용 마이크로 프로브의 제조 방법.

**【청구항 11】**

제 10 항에 있어서, 상기 팁부를 도금법으로 형성하는 것을 특징으로 하는 전자소자 검사용 마이크로 프로브의 제조 방법.

**【청구항 12】**

제 11 항에 있어서, 상기 팁부를 구리층, 니켈층, 니켈-텅스텐층, 니켈-크롬층, 텅스텐, 도금이 가능한 각종 합금 중 하나로 형성시키는 것을 특징으로 하는 전자소자 검사용 마이크로 프로브의 제조 방법.



**【청구항 13】**

제 6 항에 있어서, 상기 스프링부 아래의 상기 실리콘 기판을 비등방성 식각하는 것을 특징으로 하는 전자소자 검사용 마이크로 프로브의 제조 방법.

**【청구항 14】**

제 13 항에 있어서, 상기 실리콘 기판을 TMAH(Tetramethylammonium hydroxide), KOH, EDP(Ethyl Diamine Pyrocatechol) 중 하나의 식각 용액을 이용한 습식 식각에 의해 비등방성 식각하는 것을 특징으로 하는 전자소자 검사용 마이크로 프로브의 제조 방법.

**【청구항 15】**

제 13 항에 있어서, 상기 실리콘 기판을 반응성 이온 식각과 공정 유도 결합형 플라즈마 식각공정에 의해 건식 식각하는 것을 특징으로 하는 전자소자 검사용 마이크로 프로브의 제조 방법.

**【청구항 16】**

제 6 항에 있어서, 상기 비아홀 내에 상기 제 1 도전층을 형성하는 단계는

상기 비아홀이 형성된 실리콘 기판을 챔버 내의 상기 제 1 도전층을 위한 전해액에 넣는 단계;

상기 전해액의 표면에 소정의 압력을 가압하여 상기 비아홀 내에 상기 전해액을 채워넣는 단계; 및

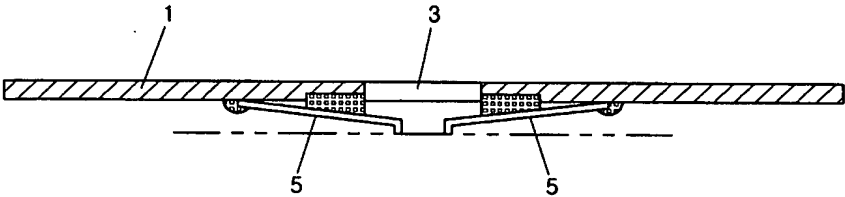
상기 실리콘 기판을 상기 전해액으로부터 끄집어낸 후 상기 실리콘 기판의 양면을 연마하여 상기 비아홀 내에만 상기 제 1 도전층을 남기는 단계를 포함하는 것을 특징으로 하는 전자소자 검사용 마이크로 프로브의 제조 방법.

【청구항 17】

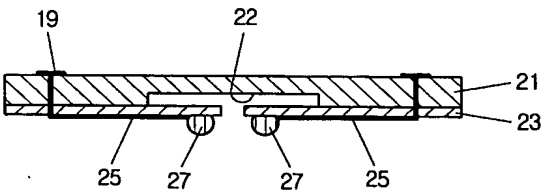
제 16 항에 있어서, 상기 전해액을 납/주석, 솔더 중 하나의 전해액으로 형성하는 것을 특징으로 하는 전자소자 검사용 마이크로 프로브의 제조 방법.

【도면】

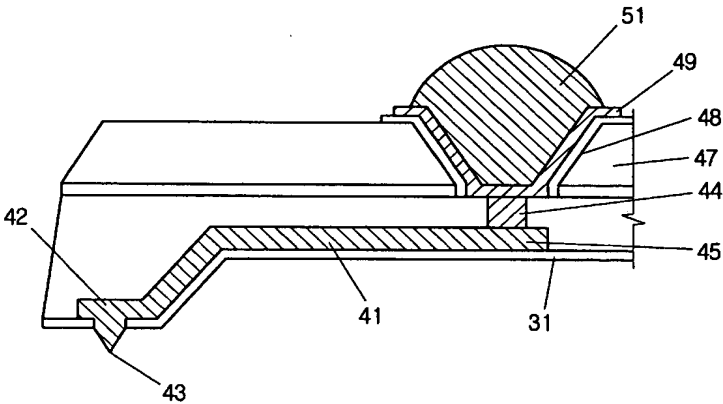
【도 1】



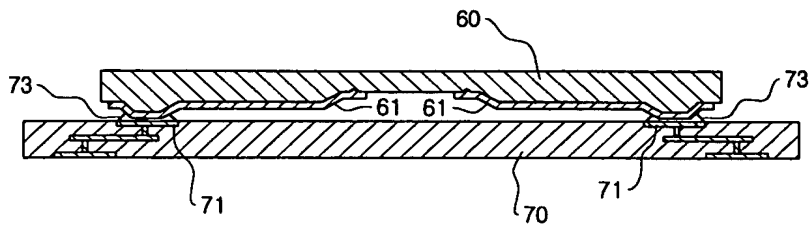
【도 2】



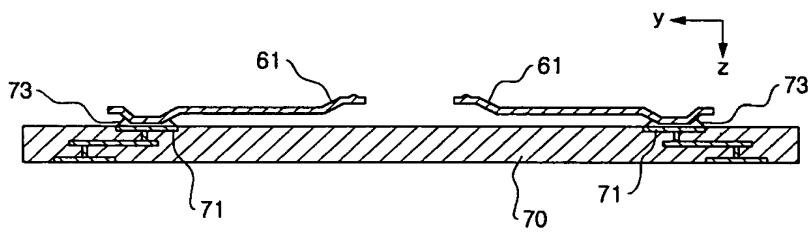
【도 3】



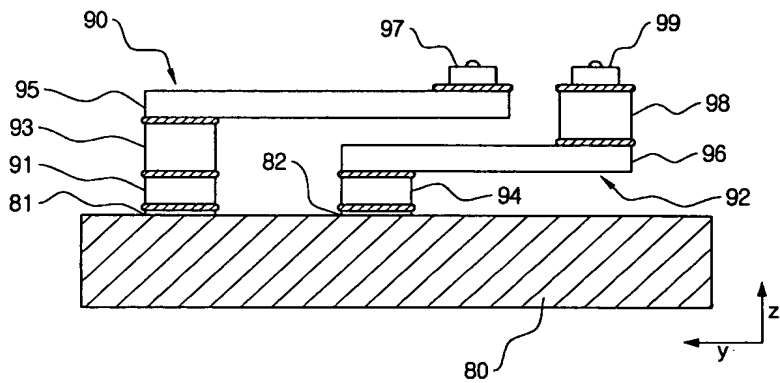
【도 4a】



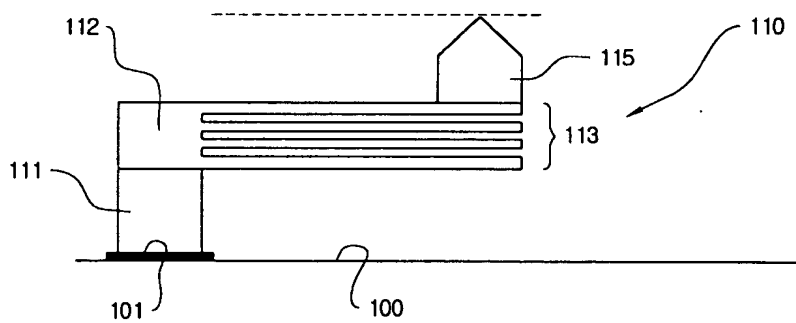
【도 4b】



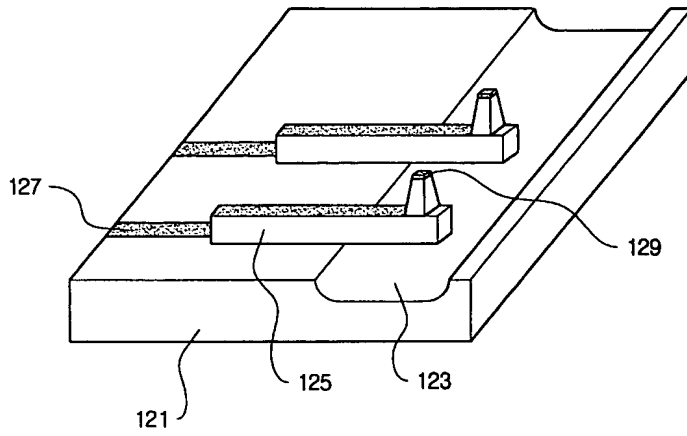
【도 4c】



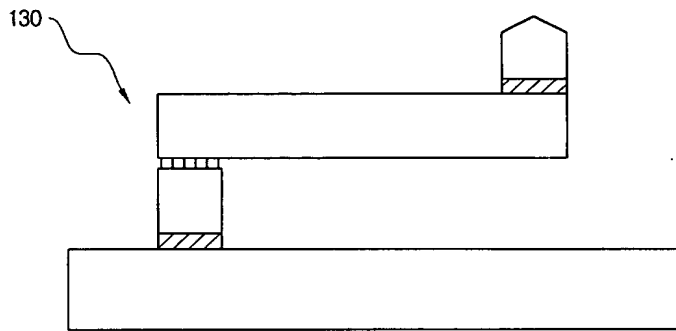
【도 5】



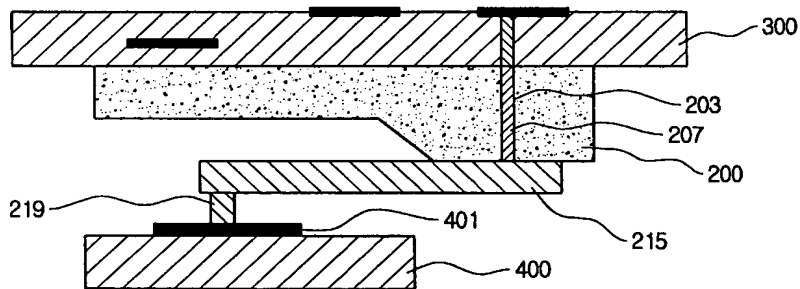
【도 6】



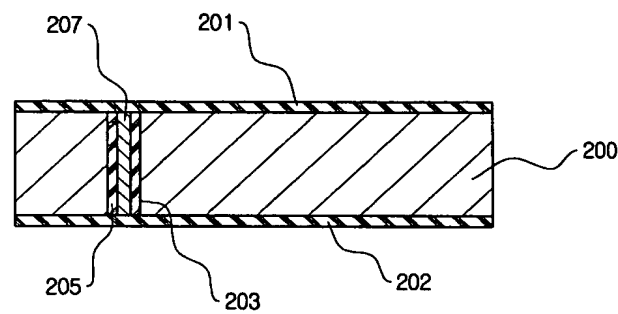
【도 7】



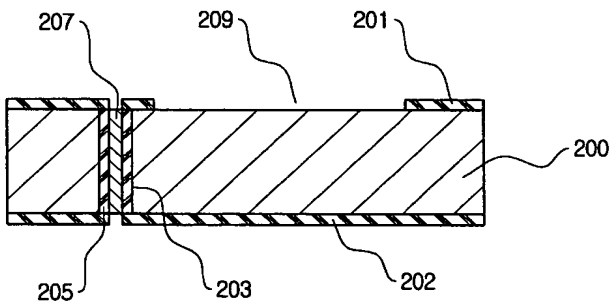
【도 8】



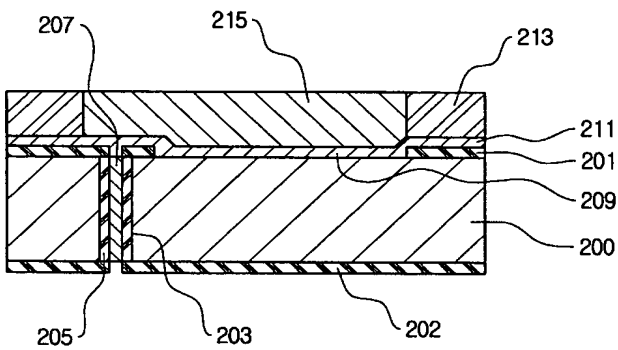
【도 9a】



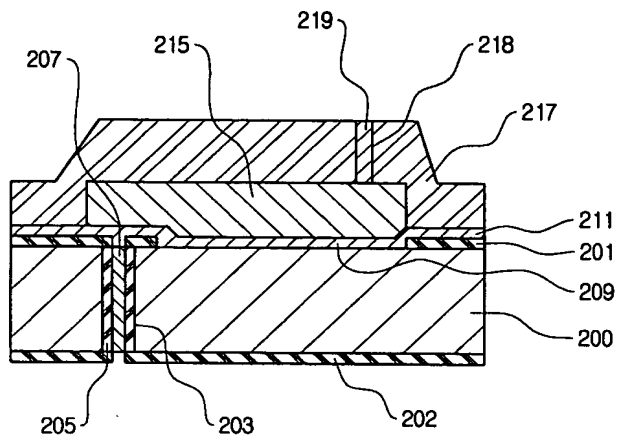
【도 9b】



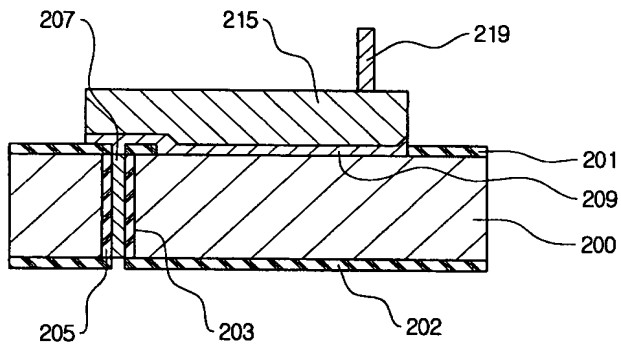
【도 9c】



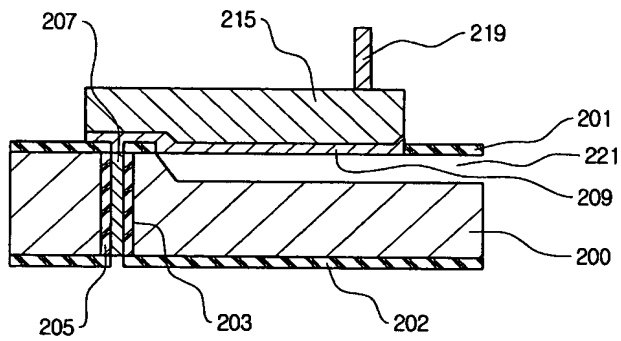
【도 9d】



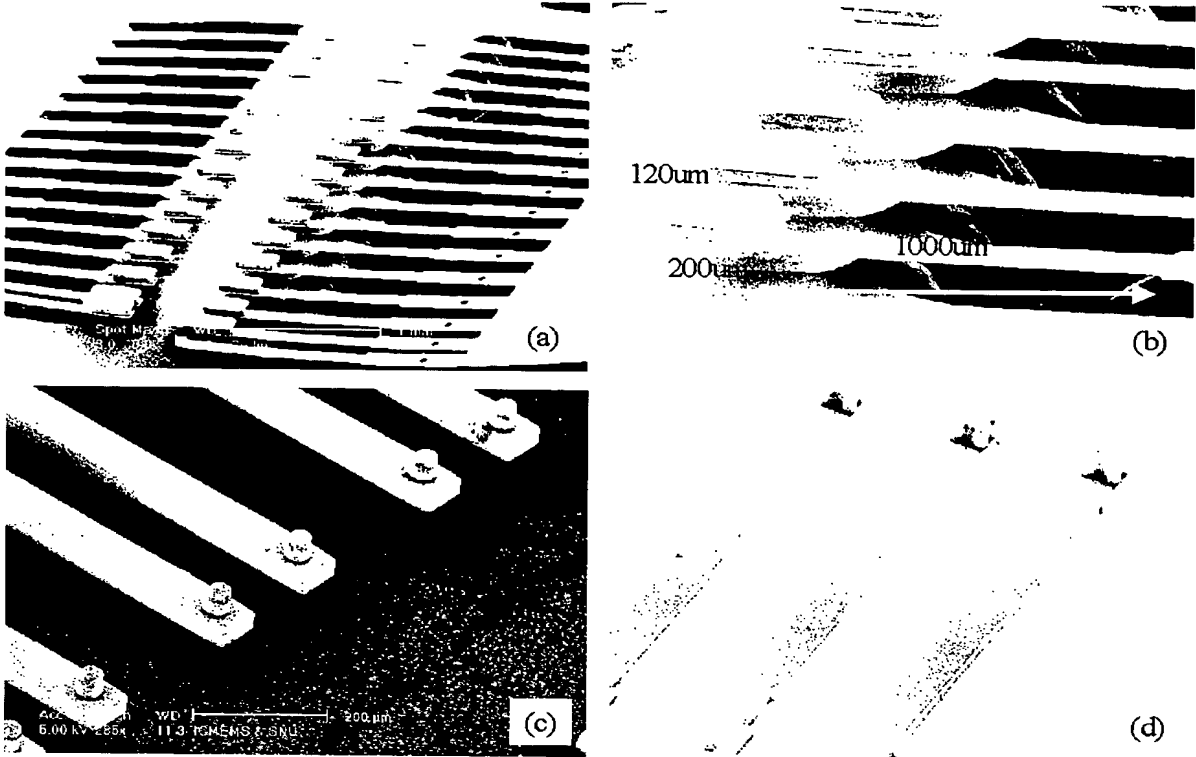
【도 9e】



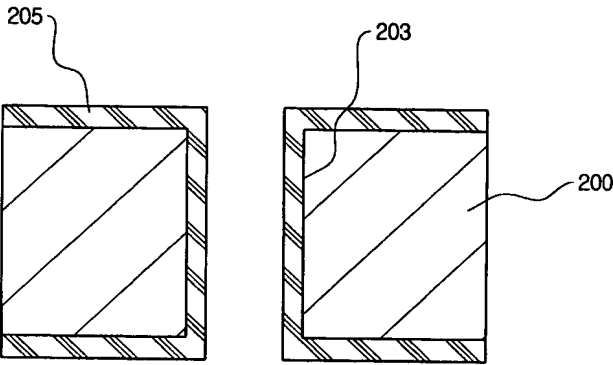
【도 9f】



【도 10】



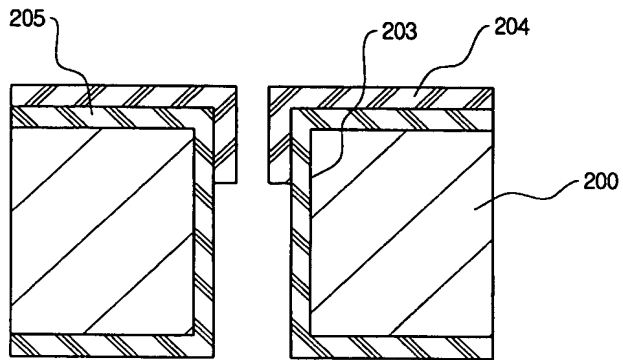
【도 11a】



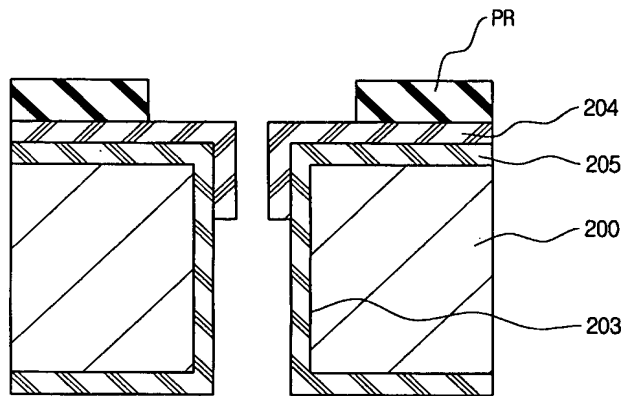




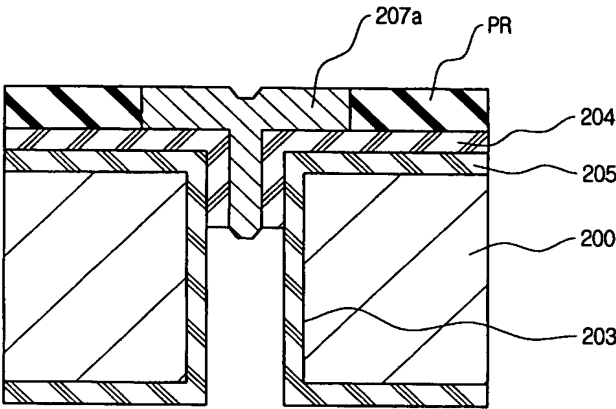
【도 11b】



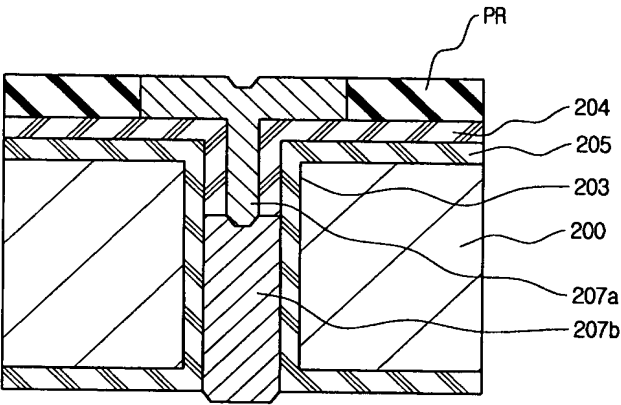
【도 11c】



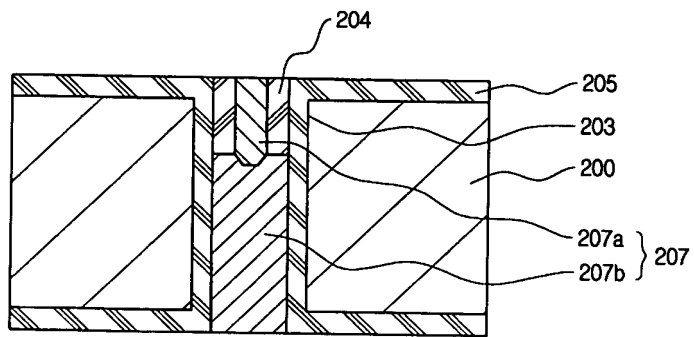
【도 11d】



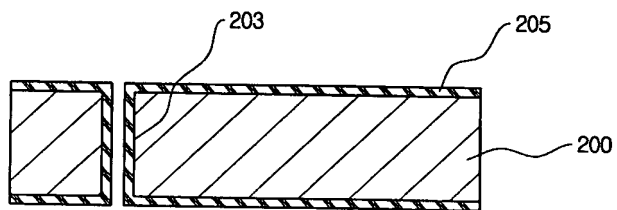
【도 11e】



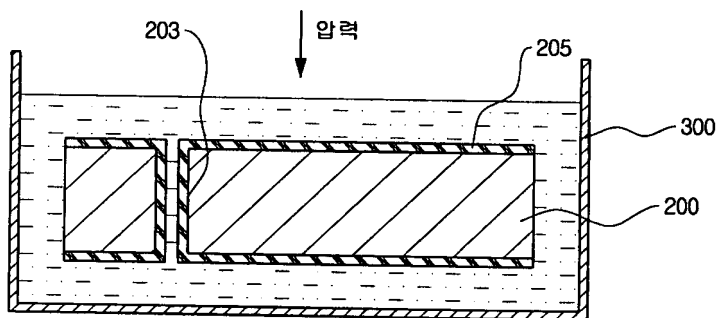
【도 11f】



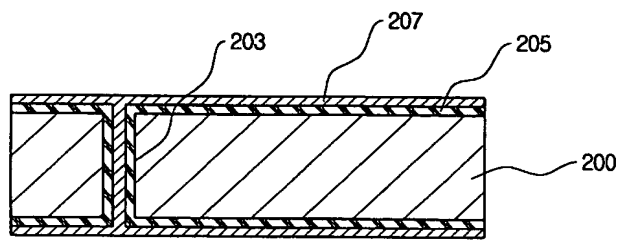
【도 12a】



【도 12b】



【도 12c】



【도 12d】

